

# SEMICONDUCTOR INTEGRATED CIRCUIT

**Patent number:** JP2001615 (A)

**Publication date:** 1990-01-05

**Inventor(s):** ISHIBASHI KOICHIRO; MINATO OSAMU; SHIMOHIGASHI KATSUHIRO +

**Applicant(s):** HITACHI LTD +

**Classification:**


- international: **G11C11/407; G11C11/409; H03K17/16; H03K19/0175; H03K19/096; G11C11/407; G11C11/409; H03K17/16; H03K19/0175; H03K19/096; (IPC1-7): H03K17/16; H03K19/096**

- european:

**Application number:** JP19890063645 19890317

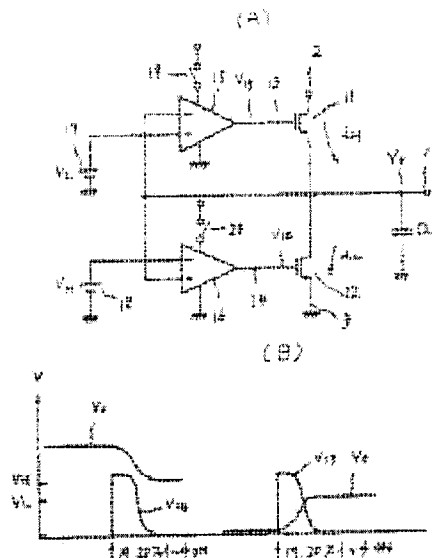
**Priority number(s):** JP19890063645 19890317; JP19880067375 19880323

**Also published as:**

 **JP2753315 (B2)**

## Abstract of JP 2001615 (A)

**PURPOSE:**To eliminate a through current, to lower noise and to speed up a circuit by operating an element on the side of a low potential power source when an output terminal is set to VH from '1' level which is a potential higher than VH, and operating an element on the side of a high potential power source or the output terminal when the output terminal is set to VL from the '0' level, which is the potential lower than VL. **CONSTITUTION:**When a potential VO is higher than VH, VO-VH>0 is inputted to the input of a differential amplifier 16 by turning switches 19 and 20 to ON and the potential of V14 becomes higher. VL-VO<0 is inputted to the input of a differential amplifier 15 and V13 is held to a ground potential. Consequently, a current iL flows only in NMOSFET12, and VO and VH agree and are stabilized.; When VO is smaller than VL on the other hand, the code of a differential input is inverted, the potential of V13 rises and VO changes to VL by the current iH of NMOSFET11, whereby the potential is stabilized. Since an output voltage can be made into a set potential without permitting the through current to flow, a data output circuit with low noise and high speed can be realized.



Data supplied from the **espacenet** database — Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-1615

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月5日

H 03 K 19/096  
17/16

A 8326-5J  
H 8124-5J

審査請求 未請求 請求項の数 5 (全11頁)

⑭ 発明の名称 半導体集積回路

⑯ 特 願 平1-63645

⑰ 出 願 平1(1989)3月17日

優先権主張 ⑱ 昭63(1988)3月23日 ⑲ 日本(JP) ⑳ 特願 昭63-67375

㉑ 発 明 者 石 橋 孝 一 郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉒ 発 明 者 湊 修 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

㉓ 発 明 者 下 東 勝 博 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉔ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉕ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

1. 半導体集積回路であって、

(1) データ出力端子と；

(2) 制御入力端子を有するとともに、その出力電流経路が第1動作電位点と上記データ出力端子との間に接続された第1半導体素子と；

(3) 制御入力端子を有するとともに、その出力電流経路が上記データ出力端子と第2動作電位点との間に接続された第2半導体素子と；

(4) 上記第1半導体素子の上記制御入力に接続された第1制御手段と；

(5) 上記第2半導体素子の上記制御入力に接続された第2制御手段と；

(6) 第1の所定電圧を発生する第1発生手段と；

(7) 上記第1の所定電圧より高い第2の所定電圧を発生する第2発生手段とを具備してなり、

上記データ出力端子の電圧が上記第2の所定電圧より高い場合に、上記第1制御手段の出力は上記第1半導体素子の上記出力電流経路に流れる電流を実質的に零とする如く上記第1半導体素子の上記制御入力を制御し、上記第2制御手段の出力は上記第2半導体素子の上記出力電流経路に第2の所定の電流が流れる如く上記第2半導体素子の上記制御入力を制御して、上記データ出力端子の上記電圧を上記第2の所定電圧と実質的に等しい電圧まで低下せしめ、

上記データ出力端子の電圧が上記第1の所定電圧より低い場合に、上記第1制御手段の出力は上記第1半導体素子の上記出力電流経路に第1の所定の電流が流れる如く上記第1半導体素子の上記制御入力を制御し、上記第2制御手段の出力は上記第2半導体素子の上記出力電流経路に流れる電流を実質的に零とする如く上記第

2 半導体素子の上記制御入力を制御して、上記データ出力端子の上記電圧を上記第1の所定電圧と実質的に等しい電圧まで上昇せしめることを特徴とする半導体集積回路。

2. 請求項1記載の半導体集積回路あって、

上記第1制御手段は上記データ出力端子の電圧と上記第1の所定電圧とを比較する電圧比較を実行し、

上記第2制御手段は上記データ出力端子の電圧と上記第2の所定電圧とを比較する電圧比較を実行することを特徴とする半導体集積回路。

3. 請求項2記載の半導体集積回路であって、

(8) 上記第1半導体素子の上記制御入力端子に第1の信号を伝達するための第1ゲート手段と；

(9) 上記第1半導体素子の上記制御入力端子に上記第1制御手段の上記出力を伝達するための第2ゲート手段と；

(10) 上記第2半導体素子の上記制御入力端子に上記第2制御手段の上記出力を伝達する

ための第3ゲート手段と；

(11) 上記第2半導体素子の上記制御入力端子に上記第1の信号と逆相の第2の信号を伝達するための第4ゲート手段とをさらに具備してなることを特徴とする半導体集積回路。

4. 請求項3記載の半導体集積回路であって、

上記第1と第2の信号は半導体集積回路中のメモリセルから読み出された相補信号であることを特徴とする半導体集積回路。

5. 請求項4記載の半導体集積回路であって、

(12) アドレス信号に応答して上記半導体集積回路中の上記メモリセルをアクセスするためのアドレス選択手段と；

(13) 上記アドレス信号の変化に応答して所定期間に所定のレベルを有する制御パルスを発生するアドレス遷移検出手段とをさらに具備してなり、

上記制御パルスが上記所定のレベルの間に上記第2と第3ゲート手段の信号伝達を許可する

一方、上記第1と第4ゲート手段の信号伝達を禁止すること半導体集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路に係り、特に半導体集積回路内の信号を比較的高い電流駆動能力で集積回路外部に送出するための出力バッファ回路を具備する半導体集積回路に関する。

〔従来の技術〕

従来の装置は電子情報通信学会創立70周年記念総合全国大会（昭和62年）予稿集P. 2～218に記載のものがある。本従来例では、出力端子を一定の中間レベルにプリセットする機能を有していた。

〔発明が解決しようとする課題〕

出力端子を多数個有する半導体集積回路においては、出力バッファが多数個同時に動作した場合、一度に大きな電流が流れるために、電源線の寄生抵抗、寄生インダクタンスにより大きなノイズが発生する問題があった。

また、出力端子にデータを出力する場合、出力端子を“H”レベルから“L”レベル、又は“L”レベルから“H”レベルに変化させる時に大きな遅延を生じてしまうという問題があった。

上記従来技術はデータを出力する前に出力端子を中間レベルにプリセットすることにより、その後データを出力する時に出力端子の電圧振幅を小さくして電流をへらし、また出力電圧判定レベルまでの電位差が小さくなるので高速にデータを出力することが可能である。

しかしながら、上記従来技術は、データを出力する前に出力端子を一定の中間電位に保持しようとするため、データを出力するための2つの出力MOSトランジスタのゲート間に2つの制御MOSトランジスタのドレイン・ソース経路を接続し、この2つの制御MOSトランジスタの共通接続点をデータ出力端子に接続し、この2つの制御MOSトランジスタのゲートにプリセットのための制御信号を印加するものである。

しかしながら、本願発明者等の検討により、上

記従来技術は下記の如き問題点を有することが明らかとなった。

すなわち、プリセット制御信号によって2つの制御MOSトランジスタを導通することによって2つの出力MOSトランジスタのゲートのハイレベルとローレベルとの間の中間電位が得られ、これがデータ出力端子から得られる。データ出力端子に中間電位を高速に得るためには、データ出力端子の出力容量と制御MOSトランジスタのON抵抗によって形成される時定数を小さな値に設定しなければならない。

しかし、二つの制御MOSトランジスタのON抵抗を小さな値に設定すると、2つの出力MOSトランジスタのゲートのハイレベルとローレベルとの間の電位差によって二つの制御MOSトランジスタのドレイン・ソース経路に流れる貫通電流が大きな値となり、消費電力が増大すると言う問題点が明らかとされた。

本発明の目的は上記従来例の問題を解決し、貫通電流を低減して出力端子にデータを出力する前

にそのレベルを一定の電位に保持する機能をそなえ、低ノイズ、かつ高速の出力回路を提供することにある。

〔発明が解決しようとする手段〕

上記目的は、以下のように達成される。

2つの電位 $V_H$ 、 $V_L$ を設定し、この電位は $V_H > V_L$ なる関係を持っているが、出力端子が最初 $V_H$ より高い電位の“1”レベルにある場合には出力端子から低電位側の低電位側の電源へ電流を流す素子のみを導通させることによって出力端子を $V_H$ にする。逆に出力端子が最初 $V_L$ より低い電位の“0”レベル場合には、高電位の電源から出力端子に電流を流す素子のみを導通させることによって出力端子を $V_L$ にすることである。

〔作用〕

上記手段において、出力端子を $V_H$ より高い電位の“1”レベルから $V_H$ にする際には低電位電源側の素子にしか電流が流れず、出力端子を $V_L$ より低い電位の“0”レベルから $V_L$ にする際には高電位電源側の素子にしか電流が流れないため

に、いずれの場合にも貫通電流が流れることはない。

また、差動増幅器の一方の入力に基準電圧を他方の入力に出力端子を接続して出力端子の電位をフィードバックさせることができる。このことにより、出力端子の電位を設定された電位にすることが可能になる。

〔実施例〕

以下、本発明の実施例を図により説明する。第1図(A)および(B)はそれぞれ本発明の原理的実施例のブロック図と動作波形を示す図である。図において、1はデータ出力端子、2は $V_{CC}$ 電源端子、3は $V_{SS}$ 電源端子、4は $V_{CC}$ 電源端子2から出力端子1に電流を流して出力端子1の電位を引き上げるための素子であり、5は出力端子から $V_{SS}$ 電源端子3に電流を流して出力端子1の電位を引きさげるための素子である。また、6は素子4を駆動する回路であり、7は素子5を駆動するための回路である。本発明においては、駆動回路6及び7は、本実施例が第1図(B)のように動

作するように構成される。すなわち出力端子1が最初 $V_H$ よりも高い電位の“1”レベルにある場合、素子5を導通させて出力端子を $V_H$ にする。また出力端子が $V_L$ よりも低い電位の“0”レベルにある場合、素子4を導通させて出力端子を $V_L$ にする。この時、出力端子の電位が $V_H$ 及び $V_L$ になると4及び5の素子の電流がカットされて出力端子の電位が安定するような機能を有する。

第2図(A)および(B)は、本発明の具体的実施例の回路構成図と動作波形をそれぞれ示したものである。第2図(A)において、1はデータ出力端子、11、12はNチャネルMOSFET、15、16は差動増幅器、17、18は基準電圧である。17、18は電子回路を用いて発生させたものでもよい。19、20はそれぞれ15、16なる差動作増幅器を動作させるためのスイッチである。第2図(B)は動作波形を示しており、同図は内部の $V_O$ 、 $V_{15}$ 、 $V_{16}$ の電圧波形、同図は $i_H$ 、 $i_L$ の電流波形を示している。本実施例の動作を本図を用いて説明する。まず $V_O$ が最初 $V_H$

より高い場合、差動増幅器のスイッチ19, 20がONされると、差動増幅器16の入力には $V_L - V_H > 0$ の差動入力が入り、これが増幅されて $V_{13}$ には高電位になる。一方、差動増幅器15の入力には $V_L - V_H < 0$ の差動入力が入るので、 $V_{12}$ は接地電位に保たれる。その結果NMOSFET12のみ電流( $i_L$ )が流れて $V_0$ の電圧を下げ、やがて $V_0$ と $V_H$ の電位が一致すると $V_{12}$ はほぼ接地電位となり $V_0$ の電位が安定する。一方、最初 $V_0$ が $V_L$ より小さい場合には、差動入力の符号が逆になり、 $V_{12}$ の電位だけが上昇してNMOSFET11のみの電流( $i_H$ )が流れ $V_0$ の電位を上げ、 $V_0$ が $V_L$ になると電位が安定することになる。本実施例において、述べた従来例のごとく最終的に定まる電位を一つのある電位にすると、すなわち $V_H = V_L$ とした場合には、 $V_0 = V_H$ になった時 $V_{12}$ ,  $V_{13}$ にNMOSFET11及び12をONするに十分な電位が発生するので、貫通電流が流れたり、回路の不安定性を引き起こす問題が生じる。したがって本発明では $V_H > V_L$

ベルの制御信号 $V_\phi$ を発生する発生手段、電源 $V_L$ は低めの設定電位 $V_L$ を発生する電源、電源 $V_H$ は高めの設定電位 $V_H$ を発生する電源、電圧比較器COMP1はその非反転入力+に低めの設定電位 $V_L$ が印加され、その反転入力-に出力端子1の出力電圧 $V_0$ が印加されることによってその出力に比較出力 $V_1$ を発生する手段、電圧比較器COMP2はその非反転入力+に高めの設定電位 $V_H$ が印加され、その反転入力-に出力端子1の出力電圧 $V_0$ が印加されることによってその出力に比較出力 $V_2$ を発生する手段、インバータINV1は電圧比較器COMP1の比較出力 $V_1$ を反転するための手段、インバータINV2はアドレス遷移検出回路13よりの制御信号 $V_\phi$ を反転するための手段、ゲートGATE1はその入力にセンスアンプSAの増幅信号 $\overline{V_D}$ が供給されその出力がNチャネルMOSトランジスタN42のゲートに接続されたインバータタイプの信号伝達手段、ゲートGATE2はその入力にインバータINV1の出力信号が供給されその出力がNチャネルM

とすることが必要条件である。

第3図(A)および(B)は、それぞれ本発明のより具体的な実施例による回路図およびその動作を説明する波形図である。

第3図(A)の回路図において、ドライバ11はX系のアドレス信号 $X_1, X_2 \dots X_n$ にตอบสนองしてワード線Wを選択するワードドライバ、他のドライバ12はY系のアドレス信号 $Y_1, Y_2 \dots Y_n$ にตอบสนองしてデータ線D,  $\overline{D}$ を選択するカラム系ドライバ、メモリセル14はワード線Wとデータ線D,  $\overline{D}$ とに接続されたSRAMセル、NチャネルMOSトランジスタM1, M2はカラム系ドライバ12により駆動されることによってデータ線D,  $\overline{D}$ の相補信号をコモンデータ線CDL,  $\overline{CDL}$ に伝達するためのトランジスタ、センスアンプSAはコモンデータ線CDL,  $\overline{CDL}$ の相補信号を増幅して相補増幅信号 $V_D, \overline{V_D}$ を発生する増幅手段、アドレス遷移検出回路13はX系のアドレス信号 $X_1, X_2 \dots X_n$ またはY系のアドレス信号 $Y_1, Y_2 \dots Y_n$ のレベル変化にตอบสนองして所定期間ハイレ

OSTランジスタN42のゲートに接続されたインバータタイプの信号伝達手段、ゲートGATE3はその入力に電圧比較器COMP2の比較出力 $V_2$ が供給されその出力がNチャネルMOSトランジスタN41のゲートに接続されたインバータタイプの信号伝達手段、ゲートGATE4はその入力にセンスアンプSAの増幅信号 $V_D$ が供給されその出力がNチャネルMOSトランジスタN41のゲートに接続されたインバータタイプの信号伝達手段、NチャネルMOSトランジスタN42は充電電流 $i_H$ を流すことにより出力端子1の出力電圧を上昇させるための手段、NチャネルMOSトランジスタN41は放電電流 $i_L$ を流すことにより出力端子1の出力電圧を下降させるための手段である。尚、ゲートGATE1~GATE4は黒丸で示した上側制御入力にローレベルが印加され、白丸で示した下側制御入力にハイレベルが印加された場合に、入力から出力へのデータ信号伝達が許可された状態(through)となり、逆の場合はこのデータ信号伝達が禁止された状態

(non-through) となる。

次に第3図(B)を参照して、第3図(A)の回路の動作を説明する。時間Aにおいて、センスアンプSAの出力からそれぞれハイレベル、ローレベルの相補信号 $V_D$ 、 $\overline{V_D}$ が読み出され、出力端子1の出力信号 $V_O$ がハイレベルとなっていると仮定すると、COMP1、COMP2の比較出力 $V_{C1}$ 、 $V_{C2}$ はともにローレベルである。この時、制御信号 $V_\phi$ がローレベルであるため、GATE1、GATE4がthrough状態、GATE2、GATE3がnon-through状態となっている。従って、GATE1を介して相補信号 $\overline{V_D}$ と逆相の信号がハイレベル電圧 $V_H$ としてNチャネルMOSトランジスタN42のゲートに供給され、GATE4を介して相補信号 $V_D$ と逆相の信号がローレベル電圧 $V_L$ としてNチャネルMOSトランジスタN42のゲートに供給される。しかし、この時、出力端子1の充電は既に完了しているため、NチャネルMOSトランジスタN42の充電電流 $i_N$ は零となっている。

レベルに変化する。すると、ゲートGATE3を介して比較出力 $V_{C2}$ と逆相のローレベル電圧 $V_L$ がNチャネルMOSトランジスタN41のゲートに供給され、放電電流 $i_L$ は零となって、出力端子1の出力電圧 $V_O$ は高めの設定電位 $V_H$ にほぼ等しい値に保持される。この保持の間に、メモリセル14からのデータ読み出しに応答して、センスアンプSAの相補増幅信号 $V_D$ 、 $\overline{V_D}$ はそれぞれローレベル、ハイレベルに変化する。

時間Cで、制御信号 $V_\phi$ がローレベルとなると、GATE1、GATE4がthrough状態、GATE2、GATE3がnon-through状態となる。従って、ゲートGATE1を介してセンスアンプSAの増幅信号 $\overline{V_D}$ と逆相のローレベル電圧 $V_L$ がNチャネルMOSトランジスタN42のゲートに供給され、このトランジスタN42はオフ状態を維持する。一方、ゲートGATE4を介してセンスアンプSAの増幅信号 $V_D$ と逆相のハイレベル電圧 $V_H$ がNチャネルMOSトランジスタN41のゲートに供給され、このトランジスタN41は

X系のアドレス信号 $X_1$ 、 $X_2$ … $X_n$ またはY系のアドレス信号 $Y_1$ 、 $Y_2$ … $Y_n$ にレベル変化が生じると、時間Bで制御信号 $V_\phi$ はローレベルからハイレベルに変化するので、GATE1、GATE4がnon-through状態、GATE2、GATE3がthrough状態となる。従って、インバータINV1とゲートGATE2とを介して $V_{C1}$ と同相のローレベル電圧 $V_L$ がNチャネルMOSトランジスタ42のゲートに供給され、このトランジスタ42はオフ状態となる。一方、ゲートGATE3を介して $V_{C2}$ と逆相のハイレベル電圧 $V_H$ がNチャネルMOSトランジスタ41のゲートに供給され、このトランジスタ41はオン状態となる。かくして、このトランジスタ41に放電電流 $i_L$ が流れ始め、出力端子1の出力電圧 $V_O$ は低下し始める。

時間B'で、トランジスタ41による放電によって出力端子1の出力電圧 $V_O$ が高めの設定電位 $V_H$ にほぼ等しい値まで低下すると、電圧比較器COMP2の比較出力 $V_{C2}$ はローレベルからハイ

オン状態となる。すると、このトランジスタN41に放電電流 $i_L$ が流れ始め、出力端子1の出力電圧 $V_O$ は低下し始める。この放電が完了すると、放電電流 $i_L$ は零となる。尚、出力端子1の出力電圧 $V_O$ が低めの設定電位 $V_L$ とほぼ等しい値まで低下すると、電圧比較器COMP1の比較出力 $V_{C1}$ はハイレベルに向かって上昇し始める。この出力端子1のローレベル出力電圧 $V_O$ は、メモリセル14よりの有効読み出し出力データとなる。

時間Dより前に、X系のアドレス信号 $X_1$ … $X_n$ またはY系のアドレス信号 $Y_1$ 、 $Y_2$ … $Y_n$ に再びレベル変化が生じると、時間Dで制御信号 $V_\phi$ はローレベルからハイレベルに変化するので、GATE1、GATE4がnon-through状態、GATE2、GATE3がthrough状態となる。従って、インバータINV1とゲートGATE2とを介して $V_{C1}$ と同相のハイレベル電圧 $V_H$ がNチャネルMOSトランジスタ42のゲートに供給され、このトランジスタ42はオン状態となる。一

方、ゲートGATE 3を介して $V_1$ と逆相のローレベル電圧 $V_2$ がNチャネルMOSトランジスタ41のゲートに供給され、このトランジスタ41はオフ状態となる。かくして、このトランジスタ42に充電電流 $i_H$ が流れ始め、出力端子1の出力電圧 $V_1$ は上昇し始める。

時間D'で、トランジスタ42による充電によって出力端子1の出力電圧 $V_1$ が低めの設定電位 $V_L$ にほぼ等しい値まで上昇すると、電圧比較器COPM1の比較出力 $V_1$ はハイレベルからローレベルに変化する。すると、インバータINV1とゲートGATE 2を介して比較出力 $V_1$ と同相のローレベル電圧 $V_2$ がNチャネルMOSトランジスタN42のゲートに供給され、充電電流 $i_H$ は零となって、出力端子1の出力電圧 $V_1$ は低めの設定電位 $V_L$ にほぼ等しい値に保持される。この保持の間に、メモリセル14からのデータ読み出しに応答して、センスアンプSAの相補増幅信号 $V_D$ 、 $\overline{V_D}$ はそれぞれハイレベル、ローレベルに変化する。

以上説明したように、第3図(A)および(B)の実施例においては、出力端子1の出力電圧 $V_1$ がハイレベルからローレベルに変化する際に一度高めの設定電位 $V_H$ に保持された後最終的にローレベルになるので、大きな放電電流 $i_L$ が急激に流れることが防止され、また出力端子1の出力電圧 $V_1$ がローレベルからハイレベルに変化する際に一度低めの設定電位 $V_L$ に保持された後最終的にハイレベルになるので、大きな充電電流 $i_H$ が急激に流れることが防止される。

第4図は、第3図(A)の回路の電圧比較器COPM1、COPM2、インバータINV1、INV2、ゲートGATE 1~GATE 4をPおよびNチャネルMOSトランジスタで具体的に構成するとともに、必要な時以外は電圧 $V_1$ 、 $V_2$ 、 $V_3$ 、 $V_4$ を零電圧として無駄な電力消費を削減した改良型の実施例回路を示している。

第5図は、第4図の実施例回路の動作を示したものである。

時間Aでは $V_D$ が“High”、 $\overline{V_D}$ が“Low”とな

時間Eで、制御信号 $V_\phi$ がローレベルとなると、GATE 1、GATE 4がthrough状態、GATE 2、GATE 3がnon-through状態となる。従って、ゲートGATE 1を介してセンスアンプSAの増幅信号 $\overline{V_D}$ と逆相のハイレベル電圧 $V_3$ がNチャネルMOSトランジスタN42のゲートに供給され、このトランジスタN42はオン状態となる。一方、ゲートGATE 4を介してセンスアンプSAの増幅信号 $V_D$ と逆相のローレベル電圧 $V_4$ がNチャネルMOSトランジスタN41のゲートに供給され、このトランジスタN41はオフ状態となる。すると、このトランジスタN42に充電電流 $i_H$ が流れ始め、出力端子1の出力電圧 $V_1$ は上昇し始める。この充電が完了すると、充電電流 $i_H$ は零となる。尚、出力端子1の出力電圧 $V_1$ が高めの設定電位 $V_H$ とほぼ等しい値まで上昇すると、電圧比較器COPM2の比較出力 $V_1$ はローレベルに向かって低下し始める。この出力端子1のハイレベル出力電圧 $V_1$ は、メモリセル14よりの有効読み出し出力データとなる。

っている。まず、制御信号 $V_\phi$ がローレベルであるため、PチャネルMOSトランジスタP2とNチャネルMOSトランジスタN6から構成されたインバータの出力は“High”となるので、基準電圧発生回路(N1~N5、P1)のPチャネルMOSトランジスタP1、ソースフォロウ回路(N11、N12)のNチャネルMOSトランジスタN11、ソースフォロウ回路(N13、N14)のNチャネルMOSトランジスタN13、差動増幅器(N21、N22、P21、P22、P25)のPチャネルMOSトランジスタP25、差動増幅器(N23、N24、P23、P24、P26)のPチャネルMOSトランジスタP26は全て非導通となるので、ソースフォロウ出力 $V_1$ 、 $V_2$ および差動増幅器の出力 $V_3$ 、 $V_4$ はすべて接地電圧となり、PチャネルMOSトランジスタP27とNチャネルMOSトランジスタN27から構成されたインバータの出力は“High”となる。この時、 $\overline{V_D}$ が“Low”、 $V_\phi$ が“Low”であるため、マルチプレクサのPチャネルMOSトラ

ンジスタP36, P38が導通しており、このマルチプレクサの出力 $V_s$ は“High”となっている。また、 $V_D$ が“High”、PチャネルMOSトランジスタP2とNチャネルMOSトランジスタN6から構成されたインバータの出力が“High”であるため、マルチプレクサのNチャネルMOSトランジスタN33, N34が導通しており、このマルチプレクサの出力 $V_s$ は“Low”となっている。従って、出力端子1の出力電圧 $V_o$ は“High”となっているが、この出力端子1の負荷容量は既に充電が完了しているので、出力のNチャネルMOSトランジスタの電流 $i_n$ は零となっている。

時間Bで、制御信号 $V_\phi$ がローレベルからハイレベルに変化すると、PチャネルMOSトランジスタP2とNチャネルMOSトランジスタN6から構成されたインバータの出力は“Low”となるので、基準電圧発生回路(N1~N5, P1)のPチャネルMOSトランジスタP1、ソースフォロワ回路(N11, N12)のNチャネルMOSトランジスタN11、ソースフォロワ回路(N

13, N14)のNチャネルMOSトランジスタN13、差動増幅器(N21, N22, P21, P25)のPチャネルMOSトランジスタP25、差動増幅器(N23, N24, P23, P24, P26)のPチャネルMOSトランジスタP26は全て導通状態となる。従って、ソースフォロワ出力 $V_1$ は低めの設定電位 $V_L$ となり、他のソースフォロワ出力 $V_2$ は高めの設定電位 $V_H$ となる。この時、出力端子1の出力電圧 $V_o$ はこれらの設定電位 $V_L$ 、 $V_H$ よりはるかに高い値のため、差動増幅器の出力 $V_3$ 、 $V_4$ は接地電圧を保持し、PチャネルMOSトランジスタP27とNチャネルMOSトランジスタN27から構成されたインバータの出力は“High”となっている。この時、制御信号 $V_\phi$ がハイレベルとなっており、PチャネルMOSトランジスタP2とNチャネルMOSトランジスタN6から構成されたインバータの出力が“Low”であるため、マルチプレクサのNチャネルMOSトランジスタN35, 37が導通状態、他のマルチプレクサのPチャネル出力 $V_s$ 、 $V_6$ は

それぞれ“Low”、“High”に変化する。従って、出力のNチャネルMOSトランジスタN42、N41はそれぞれ非導通状態、導通状態となって、NチャネルMOSトランジスタN41に放電電流 $i_L$ が流れ、出力端子1の出力電圧 $V_o$ が低下し始める。低下中の出力端子1の出力電圧 $V_o$ が高めの設定電位 $V_2$ に近くなると、差動増幅器のPチャネルMOSトランジスタP22が導通を開始し、この差動増幅器の出力 $V_3$ も“High”に向かって急激に上昇を開始する。従って、マルチプレクサのPチャネルMOSトランジスタP31が非導通状態となって、このマルチプレクサの出力 $V_6$ も“Low”に変化し、NチャネルMOSトランジスタN41の放電電流 $i_L$ の零となり、出力端子1の出力電圧 $V_o$ が高めの設定電位 $V_2$ ( $V_H$ )にほぼ等しく設定される。

時足Cにおいて、制御信号 $V_\phi$ がハイレベルからローレベルに変化し、 $V_D$ が“High”から“Low”、 $\overline{V_D}$ が“Low”から“High”に変化するので、PチャネルMOSトランジスタP2とNチャ

ネルMOSトランジスタN6から構成されたインバータの出力は“High”となり、基準電圧発生回路(N1~N5, P1)のPチャネルMOSトランジスタP1、ソースフォロワ回路(N11, N12)のNチャネルMOSトランジスタN11、ソースフォロワ回路(N13, N14)のNチャネルMOSトランジスタN13、差動増幅器(N21, N22, P21, P25)のPチャネルMOSトランジスタP25、差動増幅器(N23, N24, P23, P24, P26)のPチャネルMOSトランジスタP26は全て非導通となるので、ソースフォロワ出力 $V_1$ 、 $V_2$ および差動増幅器の出力 $V_3$ 、 $V_4$ はすべて接地電圧となる。また、 $V_D$ および $V_\phi$ が“Low”であることによって、マルチプレクサのPチャネルMOSトランジスタP33, P34が導通状態となって、このマルチプレクサの出力 $V_6$ は“High”となる。従って、出力のNチャネルMOSトランジスタN41が導通状態となることによって、放電電流 $i_L$ が流れ始め出力端子1の出力電圧 $V_o$ が低下する。尚、出



力端子1の出力電圧 $V_o$ が接地電位まで低下すると、NチャネルMOSトランジスタN41に流れる放電電流 $i_L$ は零となる。

時間Dで $V_\phi$ が“Low”から“High”に変化すると、PチャネルMOSトランジスタP2とNチャネルMOSトランジスタN6から構成されたインバータの出力は“Low”となるので、基準電圧発生回路(N1~N5、P1)のPチャネルMOSトランジスタP1、ソースフォロウ回路(N11、N12)のNチャネルMOSトランジスタN11、ソースフォロウ回路(N13、N14)のNチャネルMOSトランジスタN13、差動増幅器(N21、N22、P21、P22、P25)のPチャネルMOSトランジスタP25、差動増幅器(N23、N24、P23、P24、P26)のPチャネルMOSトランジスタP26は全て導通状態となる。従って、ソースフォロウ出力 $V_1$ は低めの設定電位 $V_L$ となり、他のソースフォロウ出力 $V_2$ は高めの設定電位 $V_H$ となる。この時、出力端子1の出力電圧 $V_o$ はこれらの設定電位 $V_L$ 、

$V_H$ よりはるかに低い値となり、差動増幅器のPチャネルMOSトランジスタP22、P24は導通状態となり、差動増幅器の出力 $V_3$ 、 $V_4$ は接地電圧から急激に“High”に上昇する。<sup>従って</sup>インバータ(P27、N27)の出力は“Low”となつて、マルチプレクサのPチャネルMOSトランジスタP35、P37が導通状態となる。かくして、このマルチプレクサの出力 $V_5$ は“High”となつて、出力のNチャネルMOSトランジスタN42に充電電流 $i_H$ が流れ始め、出力端子1の出力電圧 $V_o$ が接地電位から“High”に向かつて上昇し始める。出力端子1の出力電圧 $V_o$ が設定電位 $V_1$ ( $V_L$ )に向かつて上昇すると、差動増幅器の出力 $V_3$ は急激に“Low”に低下し始め、インバータ(P27、N27)の出力は“High”となる。従って、マルチプレクサのNチャネルMOSトランジスタN35、N37が導通状態となつて、このマルチプレクサの出力 $V_5$ が“Low”、出力のNチャネルMOSトランジスタN42の充電電流 $i_H$ が零となつて、出力端子1の出力電圧 $V_o$ は低

めの設定電位 $V_1$ ( $V_L$ )に保持される。

一方、差動増幅器のPチャネルMOSトランジスタP21のゲートには高めの設定電位 $V_2$ ( $V_H$ )が印加され、他のPチャネルMOSトランジスタP22のゲートには低めの設定電位 $V_1$ ( $V_L$ )と等しい出力端子1の出力電圧 $V_o$ が印加されているので、PチャネルMOSトランジスタP22が導通し、この差動増幅器の出力 $V_3$ は“High”に固定され、マルチプレクサのNチャネルMOSトランジスタN31が導通する。一方、“High”の $V_\phi$ によって、このマルチプレクサの出力 $V_5$ が“Low”となつて、出力のNチャネルMOSトランジスタN41には放電電流 $i_L$ が流れない。

一方、時間Eにおいて、 $V_\phi$ が“High”から“Low”に変化すると、PチャネルMOSトランジスタP1、P25、P26およびNチャネルMOSトランジスタN11、N12が全て非導通となつて、 $V_1$ 、 $V_2$ 、 $V_3$ 、 $V_4$ は“Low”となる。これと、ほぼ同等に $V_D$ が“Low”から“High”、 $V_\phi$ が“High”から“Low”に変化するので、マル

チプレクサのPチャネルMOSトランジスタP36、38が導通して、このマルチプレクサの出力 $V_5$ が“High”となる。従って、出力のNチャネルMOSトランジスタN42に充電電流 $i_H$ が流れ、出力端子1の出力電圧 $V_o$ が上昇する。この出力端子1の充電が完了すると、NチャネルMOSトランジスタN42に流れる充電電流 $i_H$ は零となる。

第6図は本発明の変形実施例を示したものである。本発明は以前の実施例のように出力MOSをNMOSFETだけでなく、本図のようにNMOSFETとPMOSFETを組み合わせたCMOSFETの場合でも適用可能である。この場合は第2図の実施例と比べて15の差動増幅器の入力の符号が逆になることが特徴である。

第7図は本発明をバイポーラトランジスタの出力段を持つ回路に適用した変形実施例であるが、この場合、15、16なる差動増幅はバイポーラトランジスタ又は、MOSFET又はその複合した回路であってもよい。

## 〔発明の効果〕

以上述べたように、本発明によれば、貫通電流を流すことなく、出力電圧を設定した電位にすることができるため、低ノイズ、高速のデータ出力回路を実現することができる。この時、ノイズは従来の方法の約 $1/2$ 、データ出力速度は従来の方法の約3倍の効果がある。

## 4. 図面の簡単な説明

第1図(A)および(B)は本発明の原理的实施例のブロック図と動作波形とをそれぞれ示し、第2図(A)および(B)は本発明の具体的実施例のブロック図と動作波形とをそれぞれ示し、第3図(A)および(B)は本発明のより具体的な実施例のブロック図と動作波形とをそれぞれ示し、第4図および第5図は本発明の改良型の実施例のブロック図と動作波形とをそれぞれ示し、第6図および第7図はそれぞれ本発明の変形実施例のブロック図を示す。

1…データ出力端子、2…V<sub>cc</sub>電源端子、

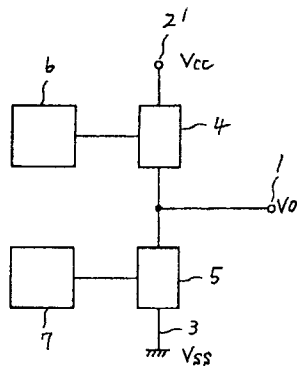
3…V<sub>ss</sub>電源端子、4、5…半導体素子、6、7

…制御手段。

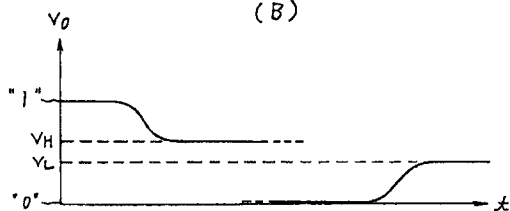
代理人弁理士 小川 勝



第1図  
(A)

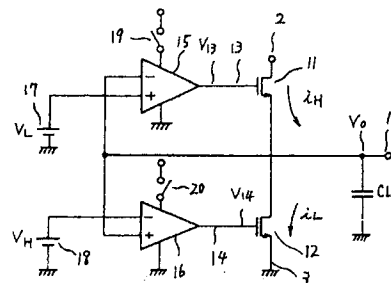


(B)

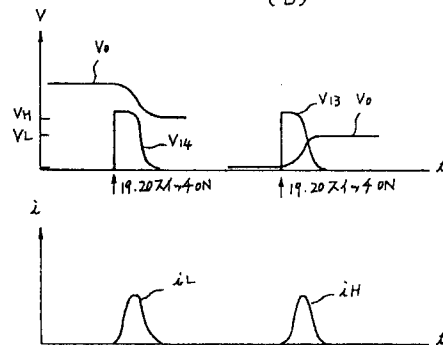


1 出力端子 5 出力素子  
2 V<sub>cc</sub>電源端子 6 駆動回路  
3 V<sub>ss</sub>電源端子 7 駆動回路  
4 出力素子

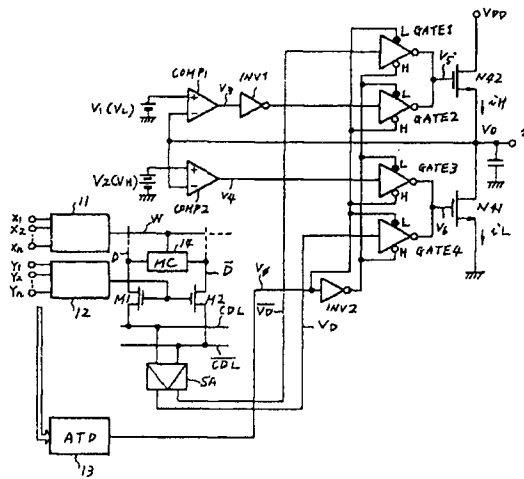
第2図  
(A)



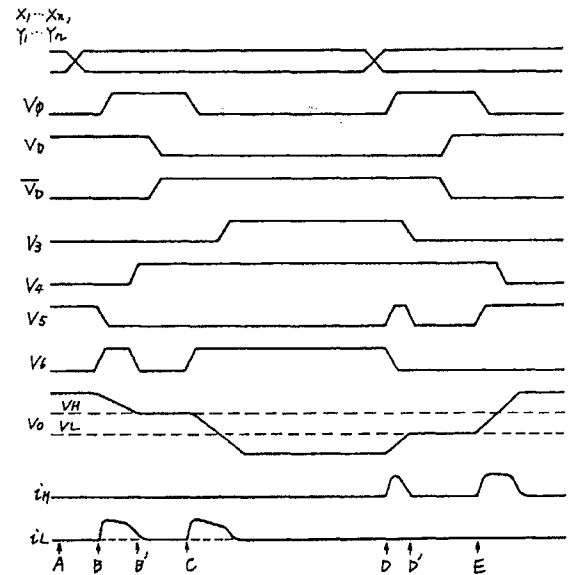
(B)



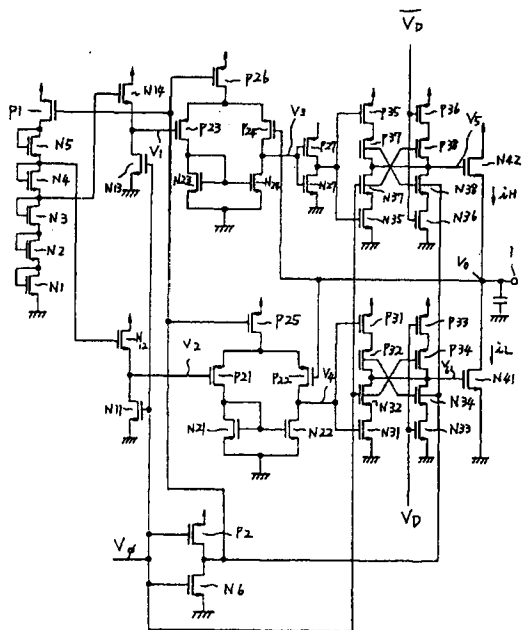
第 3 図 (A)



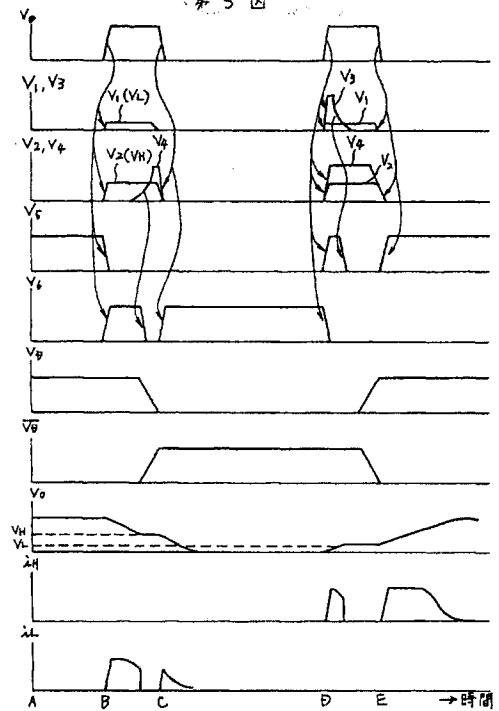
第 3 図 (B)



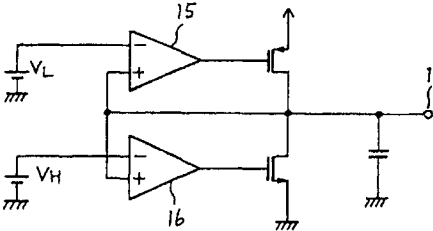
第 4 図



第 5 図



第 6 図



第 7 図

